##### Лабораторная работа №8

По курсу «Автоматизация проектирования компьютерных систем»

Выполнил: студент 4-го курса

группы ИВ-93

Новак Виктор

**Зачетная книжка: 8309**

**Тема:** Моделювання логічних схем у середовищі Active-HDL.

**Мета:** Здобуття навичок з функціонального моделювання логічних схем у середовищі Active-HDL.

**Завдання:**

1. Створити нове робоче середовище (Workspace) в Active-HDL.

2. Створити VHDL-проект.

3. Завантажити VHDL-спеціфікацію з попередньої роботи (Лаб.7)

4. Перевірити коректність функцій переходів і збудження тригерів у редакторі

Waveform Editor.

5. Результати занотувати в протокол.

номер залікової книжки в двійковому вигляді:

830910 = 100000011101012

**Выполнения задания:**

1. Введем ЛСА.

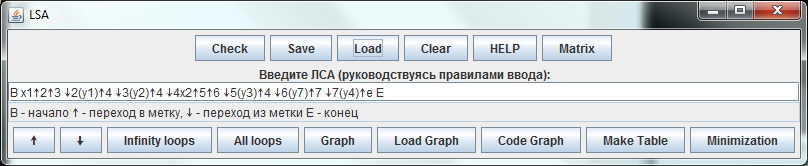


Рис. 1 Ввод ЛСА

1. Сделаем проверку и построим графики.

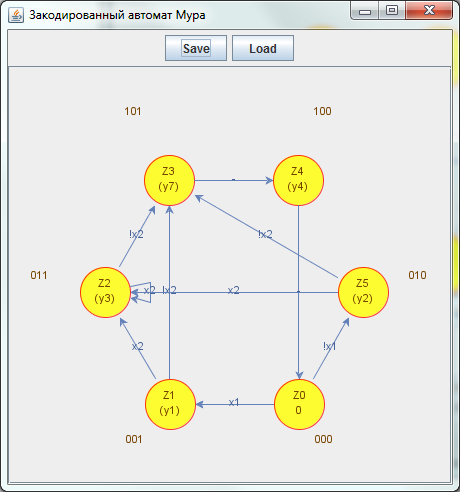
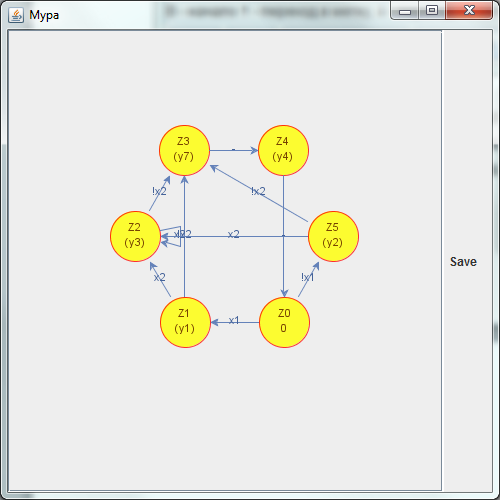


Рис. 2 Постройка графов

1. Сделаем таблицу переходов и функций возбуждения.

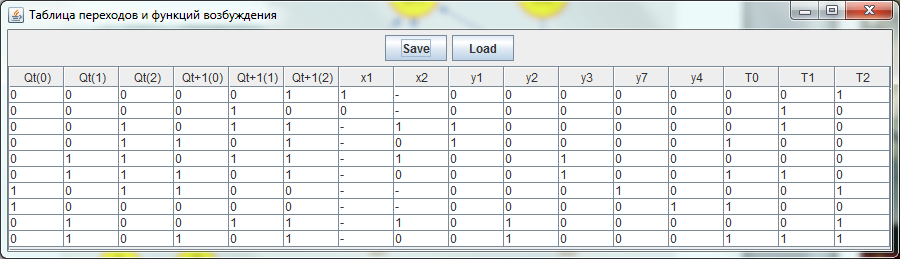


Рис. 3 Таблица переходов и функций возбуждения

1. Сделаем минимизацию функций.



Рис. 4 Функции до минимизирования

1. Представим функции в базисе И-НЕ/И-НЕ.

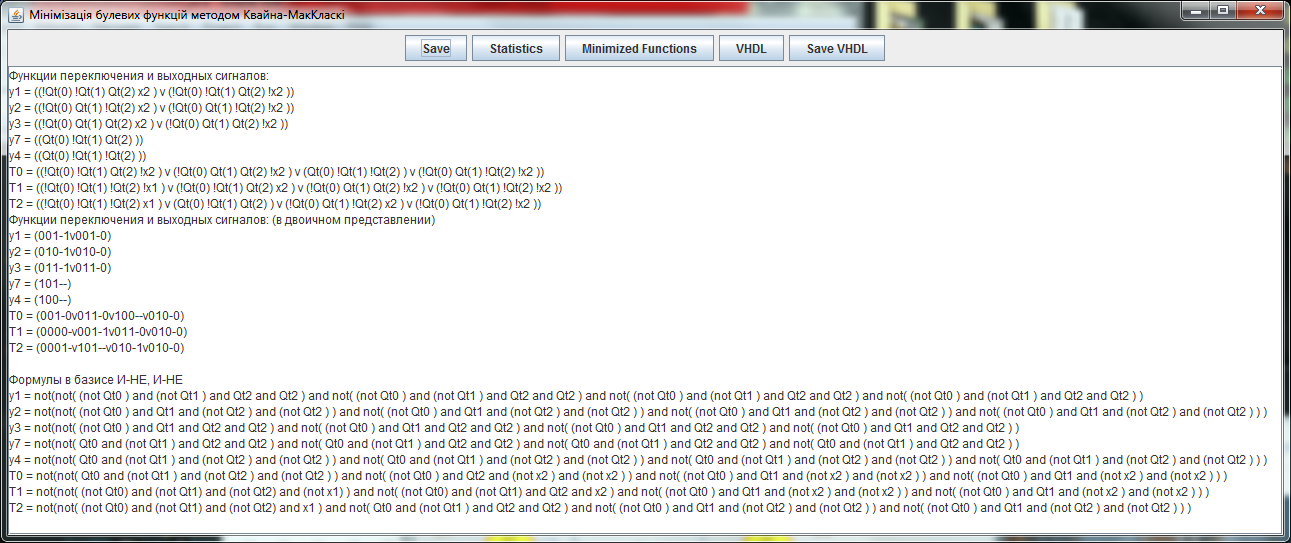


Рис. 5 Формулы в базисе И-НЕ/И-НЕ

1. Сохраняем VHDL файл.

library ieee; use ieee.std\_logic\_1164.all;

entity automat is

port(

Qt0 : in STD\_LOGIC;

Qt1 : in STD\_LOGIC;

Qt2 : in STD\_LOGIC;

x1 : in STD\_LOGIC;

x2 : in STD\_LOGIC;

y1 : out STD\_LOGIC;

y2 : out STD\_LOGIC;

y3 : out STD\_LOGIC;

y7 : out STD\_LOGIC;

y4 : out STD\_LOGIC;

T0 : out STD\_LOGIC;

T1 : out STD\_LOGIC;

T2 : out STD\_LOGIC

);

end automat;

architecture functions of automat is

begin

y1 <= not(not( (not Qt0 ) and (not Qt1 ) and Qt2 and Qt2 ) and not( (not Qt0 ) and (not Qt1 ) and Qt2 and Qt2 ) and not( (not Qt0 ) and (not Qt1 ) and Qt2 and Qt2 ) and not( (not Qt0 ) and (not Qt1 ) and Qt2 and Qt2 ) );

y2 <= not(not( (not Qt0 ) and Qt1 and (not Qt2 ) and (not Qt2 ) ) and not( (not Qt0 ) and Qt1 and (not Qt2 ) and (not Qt2 ) ) and not( (not Qt0 ) and Qt1 and (not Qt2 ) and (not Qt2 ) ) and not( (not Qt0 ) and Qt1 and (not Qt2 ) and (not Qt2 ) ) );

y3 <= not(not( (not Qt0 ) and Qt1 and Qt2 and Qt2 ) and not( (not Qt0 ) and Qt1 and Qt2 and Qt2 ) and not( (not Qt0 ) and Qt1 and Qt2 and Qt2 ) and not( (not Qt0 ) and Qt1 and Qt2 and Qt2 ) );

y7 <= not(not( Qt0 and (not Qt1 ) and Qt2 and Qt2 ) and not( Qt0 and (not Qt1 ) and Qt2 and Qt2 ) and not( Qt0 and (not Qt1 ) and Qt2 and Qt2 ) and not( Qt0 and (not Qt1 ) and Qt2 and Qt2 ) );

y4 <= not(not( Qt0 and (not Qt1 ) and (not Qt2 ) and (not Qt2 ) ) and not( Qt0 and (not Qt1 ) and (not Qt2 ) and (not Qt2 ) ) and not( Qt0 and (not Qt1 ) and (not Qt2 ) and (not Qt2 ) ) and not( Qt0 and (not Qt1 ) and (not Qt2 ) and (not Qt2 ) ) );

T0 <= not(not( Qt0 and (not Qt1 ) and (not Qt2 ) and (not Qt2 ) ) and not( (not Qt0 ) and Qt2 and (not x2 ) and (not x2 ) ) and not( (not Qt0 ) and Qt1 and (not x2 ) and (not x2 ) ) and not( (not Qt0 ) and Qt1 and (not x2 ) and (not x2 ) ) );

T1 <= not(not( (not Qt0) and (not Qt1) and (not Qt2) and (not x1) ) and not( (not Qt0) and (not Qt1) and Qt2 and x2 ) and not( (not Qt0 ) and Qt1 and (not x2 ) and (not x2 ) ) and not( (not Qt0 ) and Qt1 and (not x2 ) and (not x2 ) ) );

T2 <= not(not( (not Qt0) and (not Qt1) and (not Qt2) and x1 ) and not( Qt0 and (not Qt1 ) and Qt2 and Qt2 ) and not( (not Qt0 ) and Qt1 and (not Qt2 ) and (not Qt2 ) ) and not( (not Qt0 ) and Qt1 and (not Qt2 ) and (not Qt2 ) ) );

end functions;

Рис. 6 Сохраненный файл VHDL

1. Создаем рабочее пространство.

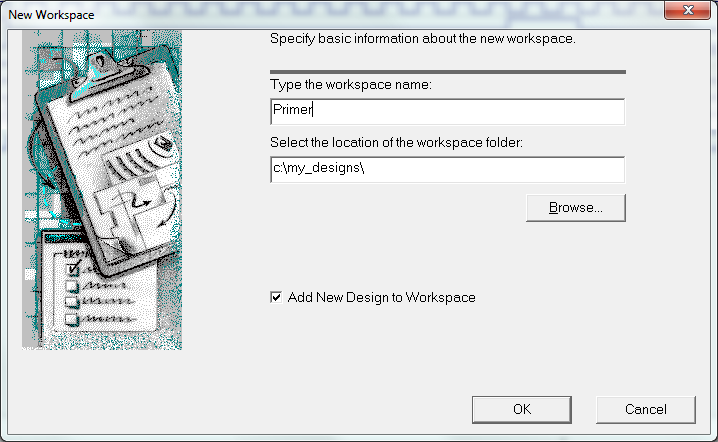


Рис. 7 Создание рабочего пространства.

1. Загрузка VHDL файла в созданное ранее рабочее пространство.

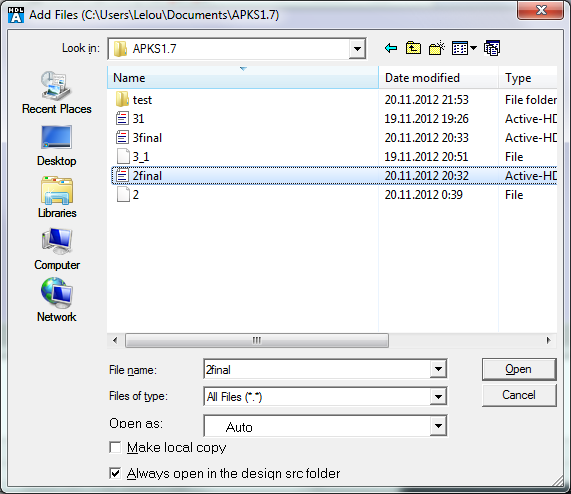


Рис. 8 Загрузка спецификаций VHDL.

1. Компилирование файла.

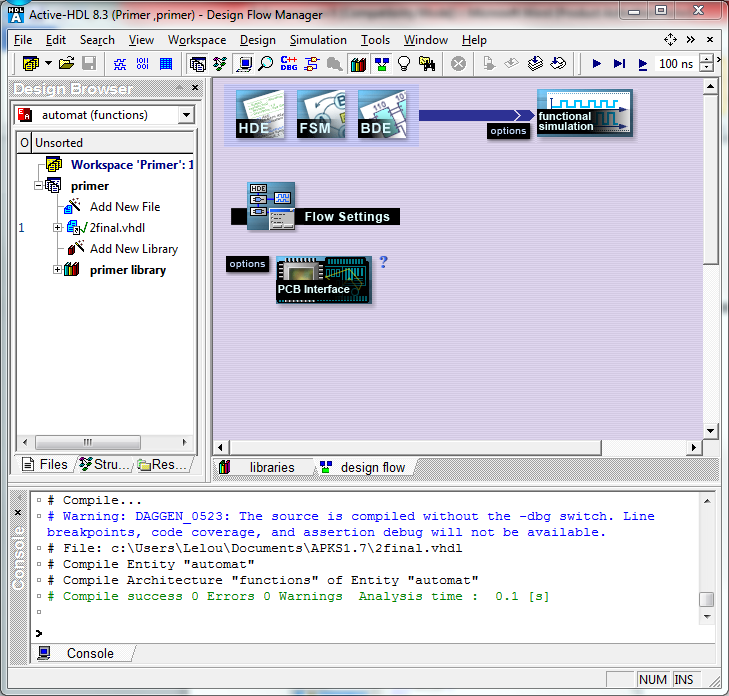


Рис. 9 Компиляция VHDL

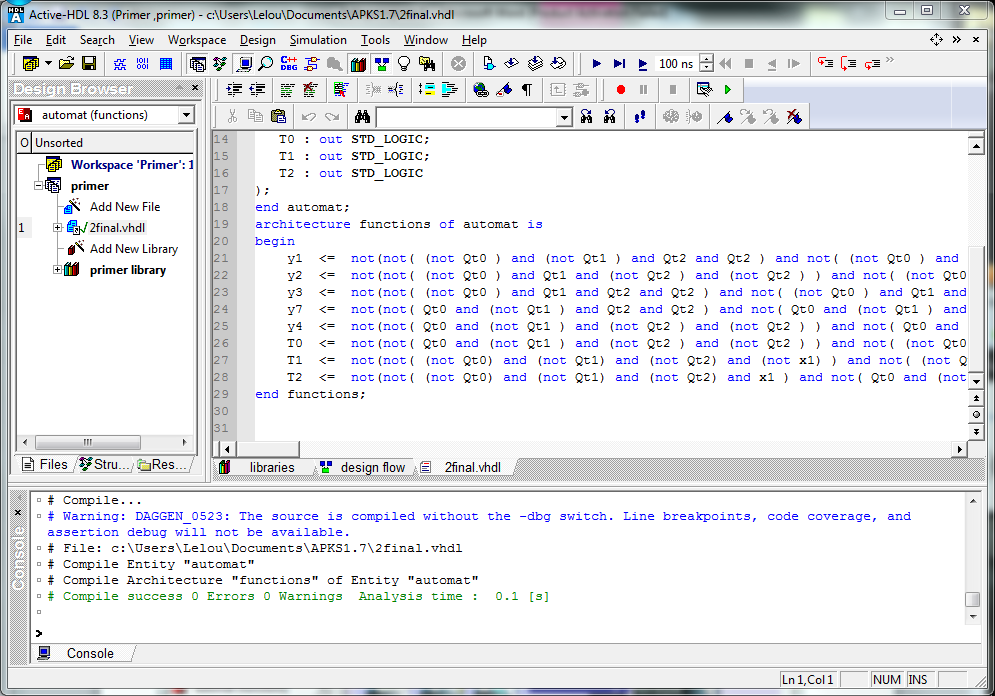


Рис. 11 Компиляция и кусочек программы

1. Выставляем для всех входных переменных формулы генерации их значений.

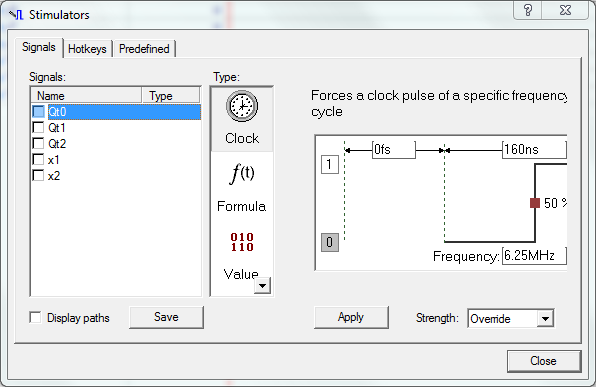
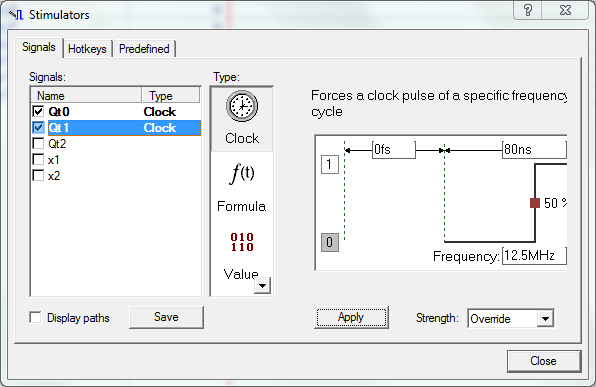
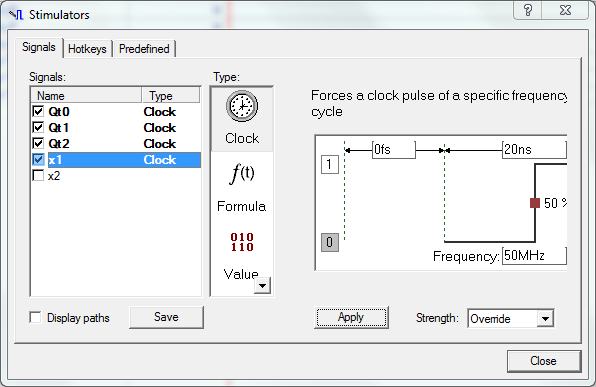
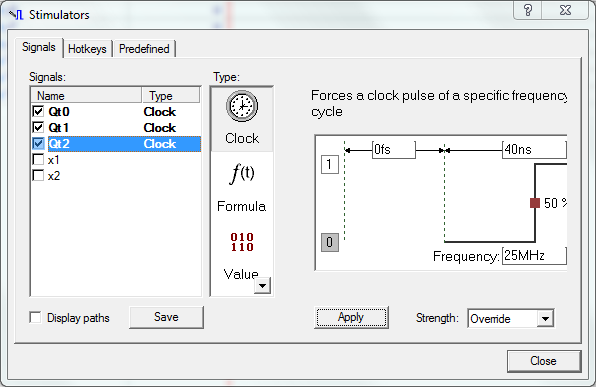
 

Рис. 12 Формулы генерации значений входных переменных (часть 1)



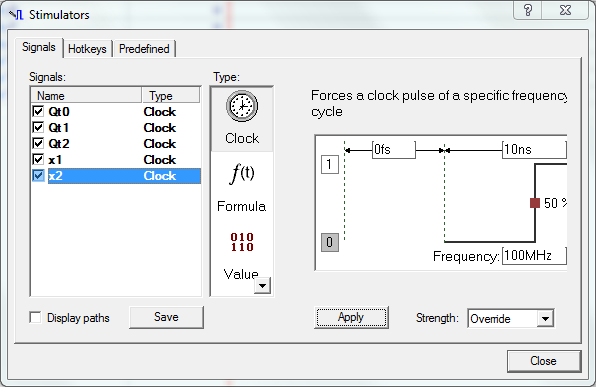


Рис. 13 Формулы генерации значений входных переменных (часть 2)

1. Проверяем корректность функций переходов в редакторе Waveform Editor.

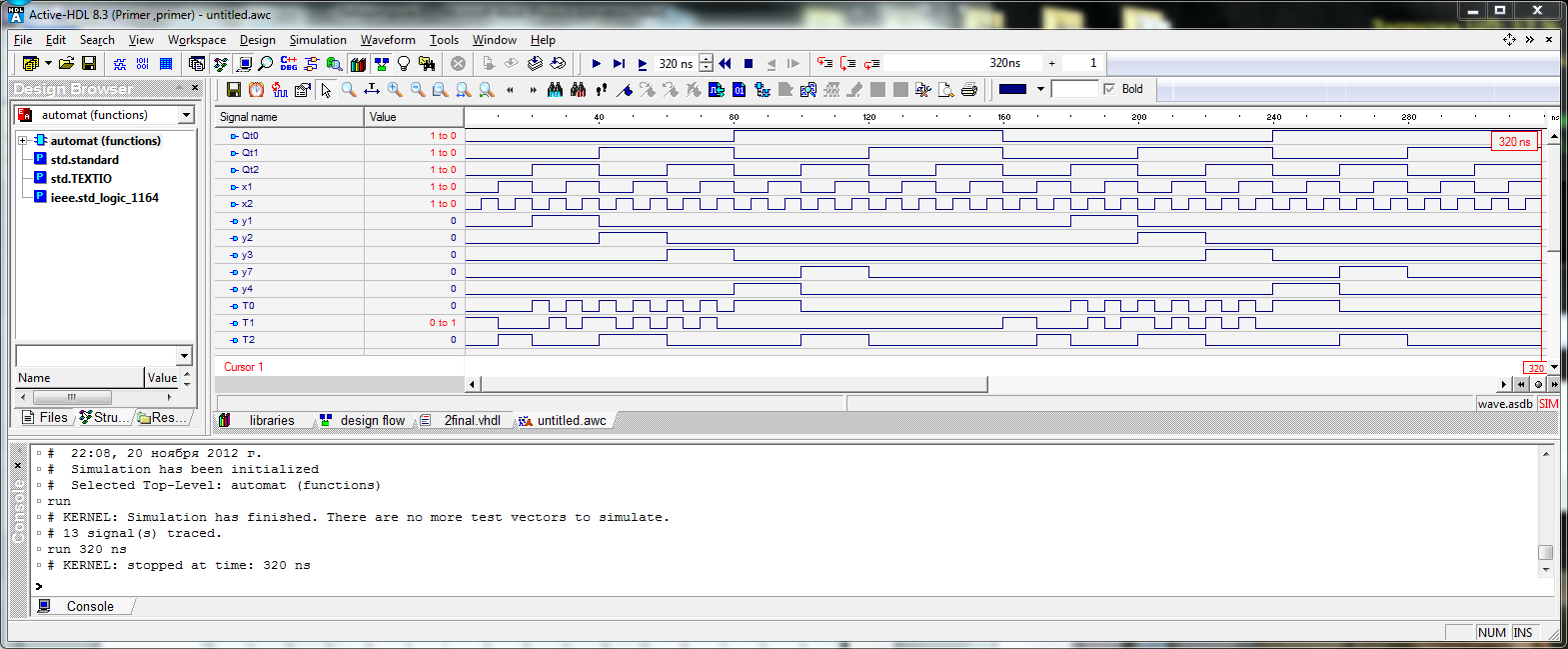
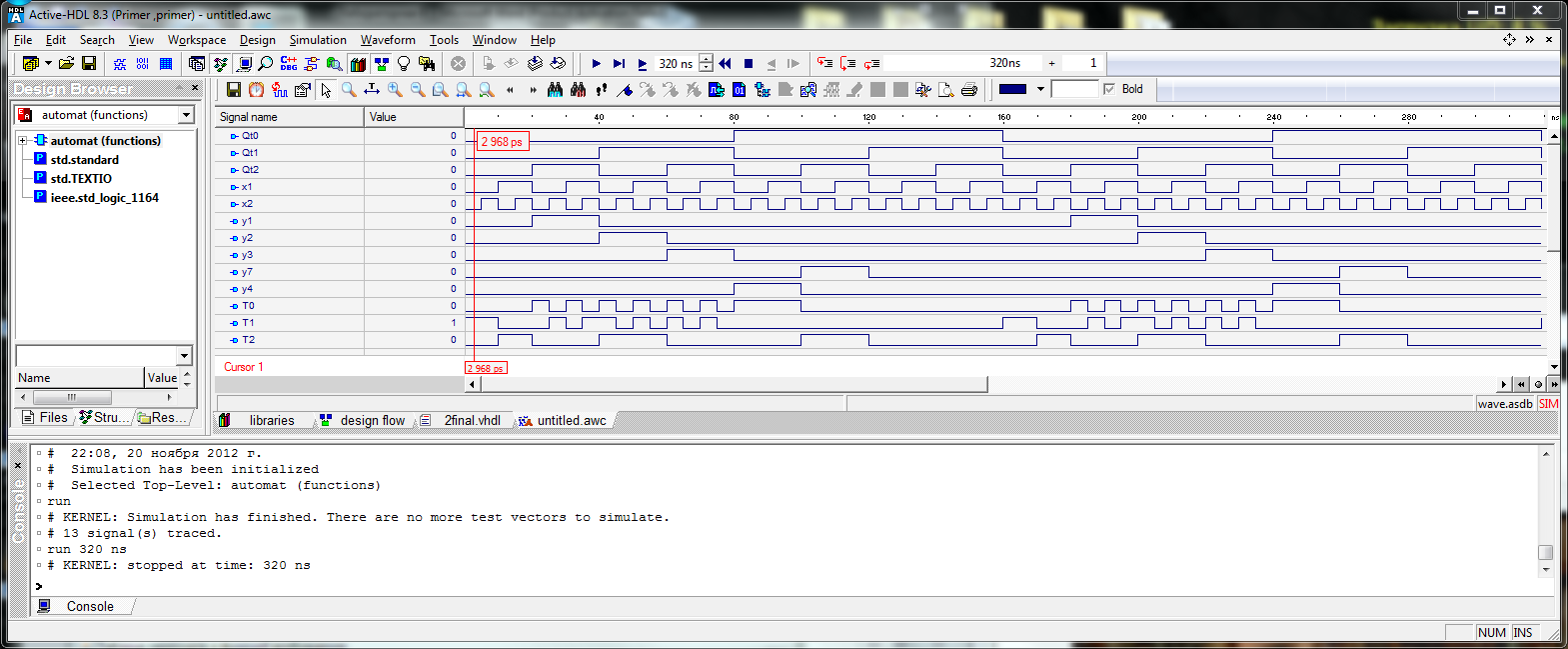


Рис. 14 Результаты моделирования



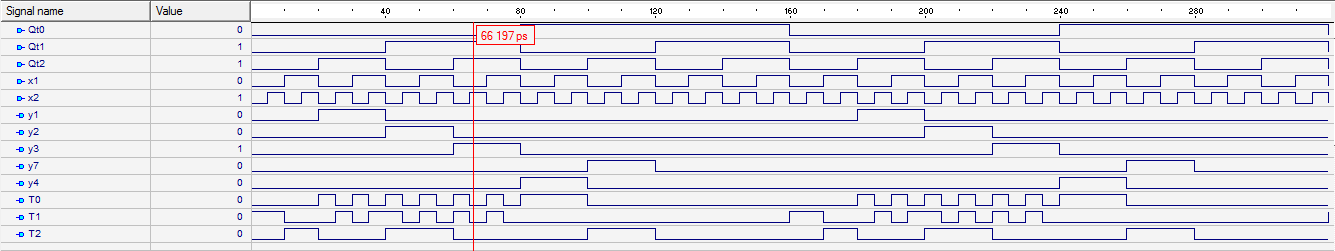
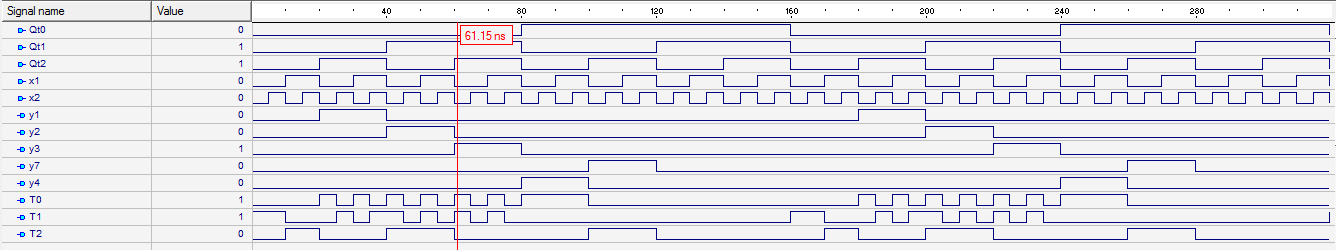
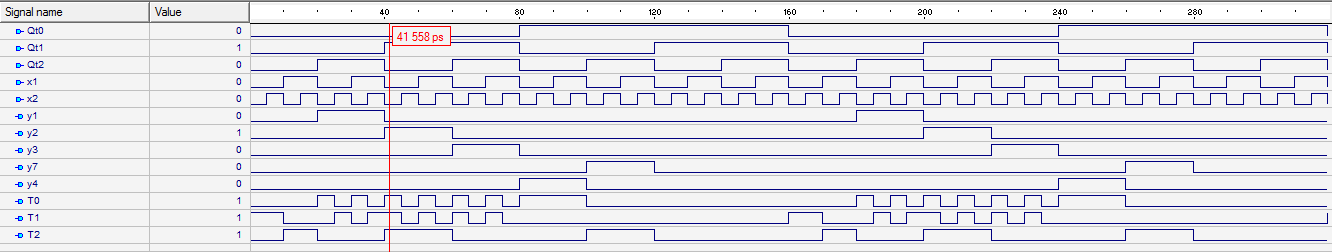
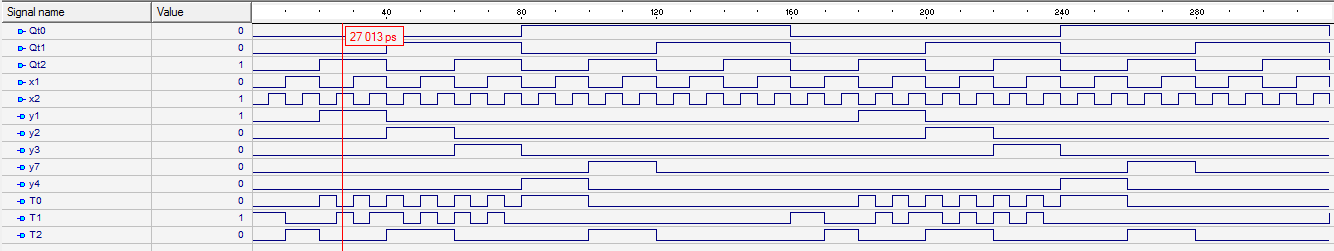
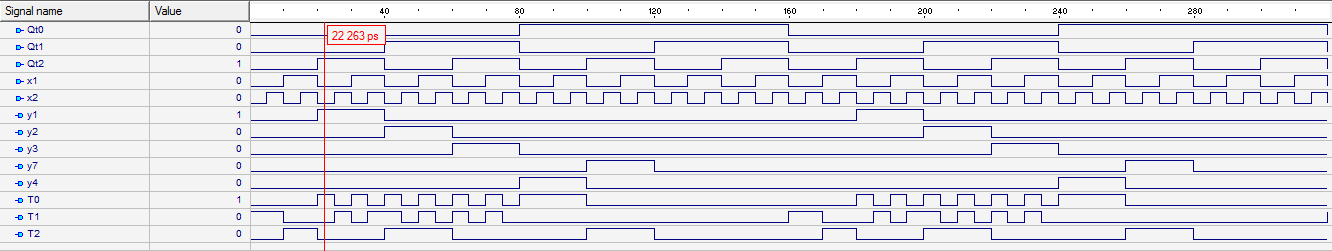
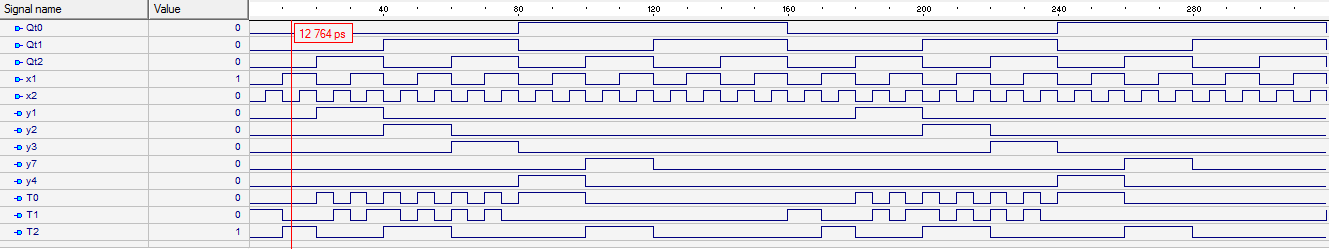


Рис. 15 Результаты моделирования (часть 1)

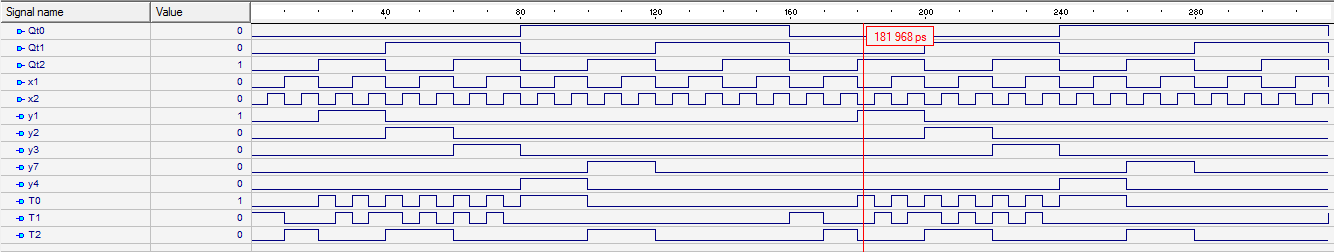
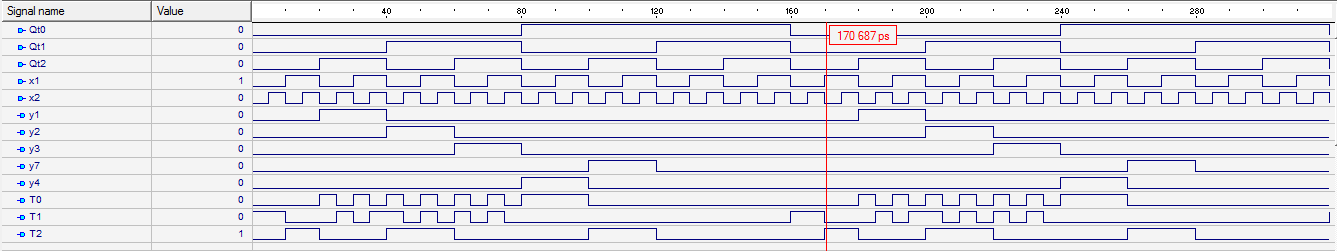
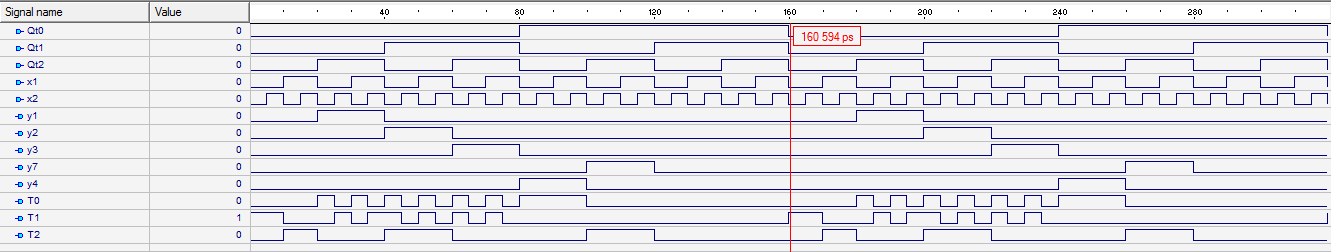
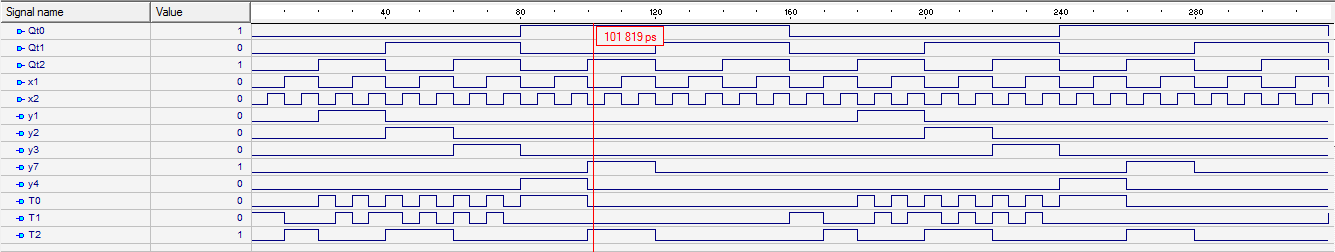
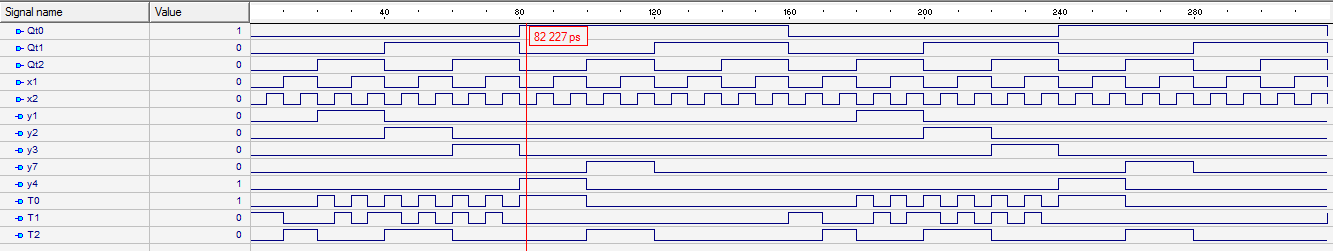
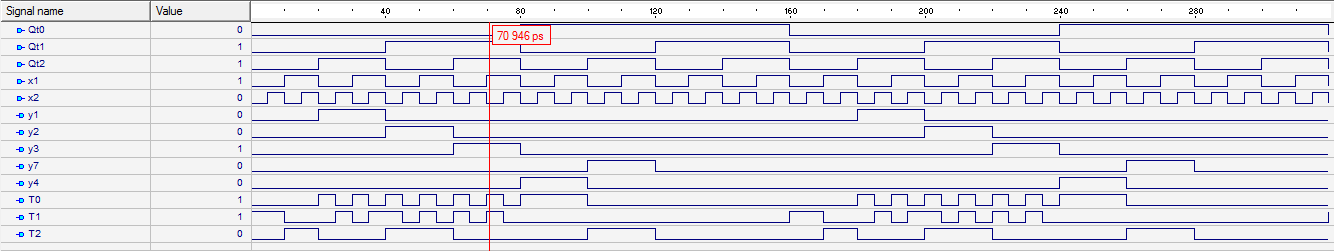


Рис. 16 Результаты моделирования (часть 2)

После сравнения табличных значений и результатов моделирования, можем сделать выводы, что постройка функций, их минимизация и привидение к элементарному базису были сделаны правильно.

**Вывод:**

В результате выполнения данной лабораторной работы я получил навыки с функционального моделирования логических схем в среде Active-HDL. Я научился создавать VHDL-проэкты, загружать VHDL спецификации к рабочей среде в Active-HDL. Также я получил навыки генерации часовых диаграмм в среде Active-HDL. Результаты были проверенны с помощью часовых диаграмм и таблици функций с прошлых работарных работ.